

《硬件描述语言与 FPGA 应用》

课程教学大纲

一、课程基本信息

课程类型	总学时为学时数	<input checked="" type="checkbox"/> 理论课（含上机、实验学时）			
	总学时为周数	<input type="checkbox"/> 实习 <input type="checkbox"/> 课程设计 <input type="checkbox"/> 毕业设计			
课程编码	DG7331501	总学时	48	学分	3
课程名称	硬件描述语言与 FPGA 应用				
课程英文名称	Hardware Description Language and Application of FPGA				
适用专业	微电子科学与工程				
先修课程	(7021231) 电路分析、(7069201) 模拟电子技术				
开课部门	信息学院电子工程系（微电子）				

二、课程性质与目标

本课程为微电子科学与工程专业选修课。本课程全面系统地介绍了数字集成电路设计中硬件语言描述，EDA 工具适用和 FPGA 的综合与应用，为《CMOS 数字集成电路设计》课程打下基础。

课程目标 1：学生应掌握 VerilogHDL 基本语法、熟悉使用 modelsim 工具进行编译和完成相关设计任务。

课程目标 2：学生应能对数字设计下载到 FPGA 器件中并进行综合，熟悉相关资源的分配。

课程思政目标：通过集成电路 EDA，FPGA 的发展历史，阐述自主可控，核心技术的重要性；讲解以芯片为主“卡脖子”技术，让学生理解国家层面的核心竞争力与自主奋斗的重要性。

三、课程教学基本内容与要求

第一章 EDA 技术概述

（一）基本要求

1. 掌握：数字设计的流程。
2. 理解：Top-down 设计过程。
3. 了解：EDA 发展趋势。

（二）教学及考核内容

1. 1 EDA 技术及其发展
1. 2 Top-down 设计与 IP 核复用

1. 3 数字设计的流程

第二章 FPGA/CPLD 器件

(一) 基本要求

1. 掌握：FPGA 的原理与结构。
2. 理解：FPGA/CPLD 的编程。
3. 了解：边界扫描测试技术。

(二) 教学及考核内容

2. 1 PLD 器件概述
2. 2 PLD 的基本原理与结构
2. 3 低密度 PLD 的原理与结构
2. 4 CPLD 的原理与结构
2. 5 FPGA 的原理与结构
2. 6 FPGA/CPLD 的编程元件
2. 7 边界扫描测试技术

第三章 Verilog 语言要素

(一) 基本要求

1. 掌握：数据类型，参数和运算符。
2. 理解：向量。
3. 了解：概述。

(二) 教学及考核内容

3. 1 概述
3. 2 常量
 3. 2. 1 整数 (Integer)
 3. 2. 2 实数 (Real)
 3. 2. 3 字符串 (Strings)
3. 3 数据类型
 3. 3. 1 net 型
 3. 3. 2 variable 型
3. 4 参数
 3. 4. 1 参数 parameter
 3. 4. 2 Verilog-2001 中的参数声明
 3. 4. 3 参数的传递
 3. 4. 4 localparam
3. 5 向量
3. 6 运算符

第四章 Verilog 语句语法

(一) 基本要求

1. 掌握：过程赋值语句、条件和循环语句。
2. 理解：阻塞赋值和非阻塞赋值。
3. 了解：任务和函数。

(二) 教学及考核内容

4. 1 过程语句

4. 1. 1 always 过程语句
4. 1. 2 initial 过程语句

4. 2 块语句

4. 2. 1 串行块 begin-end
4. 2. 2 并行块 fork-join

4. 3 赋值语句

4. 3. 1 持续赋值与过程赋值
4. 3. 2 阻塞赋值与非阻塞赋值

4. 4 条件语句

4. 4. 1 if-else 语句
4. 4. 2 case 语句

4. 5 循环语句

4. 5. 1 for 语句
4. 5. 2 repeat、while、forever 语句

4. 6 编译指示语句

4. 7 任务与函数

4. 7. 1 任务 (task)
4. 7. 2 函数 (function)

4. 8 顺序执行与并发执行

4. 9 Verilog-2001 语言标准

4. 9. 1 Verilog-2001 改进和增强的语法结构
4. 9. 2 属性及 PLI 接口

第五章 Verilog 设计初步

(一) 基本要求

1. 掌握：模块的结构与设计。
2. 理解：基本组合电路和时序电路设计。
3. 了解：。

(二) 教学及考核内容

5. 1 Verilog 的历史

5. 2 Verilog 模块的结构

5. 3 Verilog 基本组合电路设计

5. 3. 1 用 Verilog 设计基本组合电路
5. 3. 2 用 Verilog 设计加法器

- 5. 4 Verilog 基本时序电路设计
 - 5. 4. 1 用 Verilog 设计触发器
 - 5. 4. 2 用 Verilog 设计计数器

四、 课程学时分配

总学时为 48 学时，其中课程讲授 24 学时，实验 24 学时。

课程各章节学时分配如下：

内容	总课时	讲授课时	实验课时
第一章 EDA 技术概述	2	2	0
第二章 FPGA/CPLD 器件	4	4	0
第三章 Verilog 语言要素	4	4	0
第四章 Verilog 语句语法	4	4	0
第五章 Verilog 设计初步	34	10	24
实验一 流水线加法器设计			
实验二 Booth 乘法器设计			
实验三 数字电子钟设计			
合计	48	24	24

五、 实践性教学内容的安排与要求

本课程是以实践为主的课程，通过实践使学生全面掌握通过硬件描述语言进行数字集成电路的设计方法，熟悉使用 FPGA 进行数字电路的设计与验证。包括以下实践内容：

1. 流水线加法器设计（设计性实验） 6 学时
2. Booth 乘法器设计（设计性实验） 6 学时
3. 数字电子钟设计（设计性实验） 12 学时

六、 教学设计与教学组织

使用 PowerPoint 幻灯片作为主要教学辅助工具，以多模式教学网和多媒体视频为主要载体，根据上课内容教师选择专用软件运行进行课程内容的演示讲授。

七、 教材与参考资料

1. 教材

《数字系统设计与 Verilog HDL》(第 6 版)，王金明，电子工业出版社 2016 年，9787121300974

2. 参考资料

(1) 《Verilog 数字系统设计教程》（第4版），夏宇闻，北京航空航天大学出版社，2017年，9787512424692

八、 课程考核方式与成绩评定标准

采用百分制，总评成绩由平时成绩成绩决定，包括出勤占20%，实验报告与操作占80%。

九、 大纲制(修)订说明

大纲执笔人：张晓波

大纲审核人：戴澜

开课系主任：张静

开课学院教学副院长：宋威

订日期：2022年1月