

电气与控制工程学院

课程教学大纲

课程名 (COURSE TITLE) : CPLD 原理及应用

课程代码 (COURSE CODE) : 7201001

学 分 (CREDIT VALUE) : 2

开课单位 (DEPARTMENT/UNIT) : 电气工程系

版 本 (VERSION) : DG7201001-202108

课程负责人

(COURSE COORDINATOR) : 贾鹏宇

北方工业大学 电气与控制工程学院

2021 年 8 月

目 录

1 课程基本信息.....	3
2 毕业要求与课程目标.....	4
2.1 本课程支撑的毕业要求观测点.....	4
2.2 课程目标.....	4
2.3 毕业要求与课程目标的关系.....	5
3 课程内容及安排.....	5
3.1 课程学时总体安排.....	5
3.2 各知识单元内容和预期学习目标.....	5
4 课堂教学设计和实施载体.....	7
5 课程实验教学.....	8
5.1 上机实验名称和安排.....	8
5.2 实验要求和教学组织.....	8
5.3 实验预习和实验报告要求.....	11
5.4 实验教学在能力培养方面的具体措施.....	11
6 课程考核方案和依据.....	11
6.1 课程考核方案.....	12
6.2 课程各考核项评价依据和标准.....	12
7 本次修订说明.....	13
8 其他需要说明的问题.....	13

1 课程基本信息

课程名称（中文）	CPLD 原理及应用					
课程名称（英文）	CPLD Technology and Application					
课程计划学时	32		课外学时建议		24	
计划学时构成	理论学时	20	实验学时	0	上机学时	12
课外学时要求	线上学习要求：0		自主学习建议学时：24			
先修课名称	(7069201) 模拟电子技术、(7087611) 数字电子技术					
适用专业年级	电气工程及其自动化、新能源科学与工程					
开课单位	电气工程系					
课程简介	<p>本课程是电气工程及其自动化、新能源科学与工程专业的专业教育课程选修课，开设于第4学期。目的是使学生能够理解可编程逻辑器件的硬件架构，掌握先进的数字逻辑电路设计方法，熟练使用 CPLD 的开发工具，了解 CPLD 在电气工程领域中的应用，培养学生使用 CPLD 对复杂逻辑系统的综合设计能力。总评成绩以百分制计算，考核形式为撰写一个复杂大规模逻辑电路的设计报告，其成绩占总成绩的 50%，平时成绩占总成绩的 50%。</p>					
教材和学习资源	<p>基础资料： (1) 《数字逻辑与 VHDL 设计》，边计年 薛宏熙 吴强译，清华大学出版社，2005 年，ISBN 号:9787302079385</p> <p>参考资料： (1) 《CPLD/FPGA 控制系统设计》，周京华 等编著，机械工业出版社，2011 年，ISBN 编号: 9787111310228 (2) 《CPLD 数字电路设计 使用 MAX+plusII 入门篇》，廖裕评 陆瑞强编，清华大学出版社，2001 年，ISBN 编号: 9787900637260</p>					
大纲版本号	DG7201001-202108		前一版本号		DG7201001-201912	
大纲修订人	贾鹏宇		修订时间		2021.08	
课程团队负责人	周京华		实验教学审核人		胡长斌	

专业负责人	周京华	审核时间	2021.08
学院批准人	徐继宁	批准时间	2021.09

2 毕业要求与课程目标

2.1 本课程支撑的毕业要求观测点

电气工程及其自动化专业 2021 版培养方案为本课程设置了 2 个观测点，具体如下：

(1) 毕业要求观测点 1-3: 掌握计算机的基本硬件和软件知识及一门编程语言，具有计算机控制系统设计能力。

(2) 毕业要求观测点 5-1: 能开发、选择与使用恰当的技术、资源、现代工程工具和信息技术工具。

2.2 课程目标

根据电气专业毕业要求观测点，本课程设置了 1 个知识目标，1 个能力目标（简称：CYLJYY-X），另根据教育部和学校要求，课程设置了 1 个思政目标，不做输出目标考核。

知识目标：

CYLJYY-1: CPLD 硬件结构与 VHDL 硬件描述语言

掌握并能解释、描述 CPLD 的硬件结构特点；理解 PLA, PAL, PLD, CPLD, FPGA 等概念的由来、结构与相关性。理解并掌握 VHDL 硬件描述语言的基本语法结构、VHDL 程序中的变量类型描述方法。理解并掌握实体、结构体等程序框架的构成。

能力目标：

CYLJYY-2: 系统设计能力

借助 Quartus II 软件，能综合数电、模电等专业课程的基础知识，采用“积之和”的方法构建出简单组合逻辑系统电路的原理图。能采用 VHDL 硬件描述语言，完成简单组合逻辑、时序系统任务要求的设计内容。

思政目标：

CYLJYY-3: 课程思政与课程教学高质量融合

结合“CPLD 原理及应用”课程的特点，以纷繁复杂的国际形式为依托，从课程的 CPLD 芯片构造、设计等内容为出发点，借助“芯片战”等话题使学生明确技术落后就要受制于人的社会现实。从而激发学生的爱国情怀，使学生明白老一辈无产阶级革命家所说的为中华崛起而读书的情怀与思想境界，从而提升学生的思想意识和思想境界，最终培养成为有理想、有担当的工程技术人员，为技术进步、社会发展做出贡献。

2.3 毕业要求与课程目标的关系

毕业要求	观测点	支撑权重	课程目标	贡献度
1 工程知识	1-3	0.1	CYLJYY-1: CPLD 硬件结构与 VHDL 硬件描述语言	100%
5 使用现代工具	5-1	0.05	CYLJYY-2: 系统设计能力	100%

3 课程内容及安排

3.1 课程学时总体安排

课程性质：专业教育课程选修课

课内/实验/上机/课外学时:52/12/0/64

理论课 (学时)		习题课 (学时)		实验 (学时)		研讨 (学时)		社会实践 (学时)		项目任务 (学时)		在线学习 (学时)		其他 (学时)	
课内	课外	课内	课外	课内	课外	课内	课外	课内	课外	课内	课外	课内	课外	课内	课外
20	24	0	0	12	0	0	0	0	0	0	0	0	0	0	0

3.2 各知识单元内容和预期学习目标

本课程内容分为 5 章，配有 6 个上机平时实验和 1 个上机期末大作业。下表介绍课程的章节划分，学时安排，以及学习完成后的预期目标结果。

知识单元 章、节、点	学习内容和预期结果	课程目标	学时	
			课内	课外

<p>第1章 数字电路硬件设计概述</p> <p>1.1 基本介绍</p> <p>1.2 数字电路基本知识</p> <p>1.3 理论与实际</p>	<p>学习内容: 数字电路硬件的发展</p> <p>预期结果: 了解数字电路发展的历史过程, 以及数字硬件设计在社会工业生产中的作用。</p>	<p>CYLJYY-1</p>	<p>2</p>	<p>2</p>
<p>第2章 CPLD概述及其实现技术</p> <p>2.1 晶体管开关原理</p> <p>2.2 标准芯片</p> <p>2.3 可编程阵列逻辑</p> <p>2.4 复杂可编程逻辑器件</p> <p>2.5 现场可编程门阵列</p> <p>2.6 可编程器件的实现细节</p>	<p>学习内容: 晶体管开关实现逻辑电路的原理; 以及标准芯片、定制化芯片、专用芯片的区别与关系; PLA, PAL, PLD, CPLD, FPGA 的发展演变过程。</p> <p>预期结果: 理解从简单的晶体管逻辑门电路到FPGA 复杂时序逻辑器件的实现细节。</p>	<p>CYLJYY-1</p>	<p>4</p>	<p>4</p>
<p>第3章 硬件描述语言VHDL</p> <p>3.1 概述</p> <p>3.2 VHDL的基本元素</p> <p>3.3 VHDL的基本结构</p> <p>3.4 设计实例</p>	<p>学习内容: VHDL 的元素、结构, 以及 VHDL 程序的语法、实例。</p> <p>预期结果: 能理解、编写 VHDL 语言程序结构。</p>	<p>CYLJYY-1 CYLJYY-2</p>	<p>4</p>	<p>8</p>
<p>第4章 Quartus II 介绍</p> <p>4.1 逻辑设计的输入方式</p> <p>4.2 设计项目的编译与综合</p> <p>4.3 设计项目的仿真</p> <p>4.4 波形分析</p> <p>4.5 器件编程及下载</p>	<p>学习内容: Quartus II 软件的输入设计方式, 编译与仿真, 波形分析。</p> <p>预期结果: 能采用 Quartus II 软件中的原理图、VHDL 输入设计方式进行项目设计与仿真。</p>	<p>CYLJYY-1 CYLJYY-2</p>	<p>6</p>	<p>2</p>
<p>第5章 CPLD 应用设计实例</p> <p>5.1 组合逻辑设计实例</p>	<p>学习内容: 六个简单组合逻辑的项目要求与设计思路。</p> <p>预期结果: 能采用 Quartus II 软件中的原理图、</p>	<p>CYLJYY-1 CYLJYY-2</p>	<p>16</p>	<p>8</p>

5.2 时序逻辑设计实例	VHDL 输入设计方式完成课程要求的六个简单组合逻辑项目设计任务, 并完成期末考核项目要求。			
5.3 CPLD 在数字控制系统中的应用				

4 课堂教学设计和实施载体

本课程教学主要采用 PowerPoint、Quartus II 仿真、企业微信、哔哩哔哩线上视频平台作为教学实施载体。同时采用讨论、案例等教学方式, 深入浅出的为学生讲解课程内容。课下采用 Quartus II 仿真作业和哔哩哔哩线上视频教学相结合的方式为学生提供案例指导与知识巩固。

课程目标	知识单元	学习场景/教学模式	实施载体
	章、节、点		
CYLJYY-1	第1章 数字电路硬件设计概述 1.1 基本介绍	课堂讲授	讲义教案
	1.2 数字电路基本知识	课堂讲授	讲义教案
	1.3 理论与实际	课堂讲授	讲义教案
CYLJYY-1	第2章 CPLD概述及其实现技术 2.1 晶体管开关原理	课堂讲授	讲义教案
	2.2 标准芯片	课堂讲授	讲义教案
	2.3 可编程阵列逻辑	课堂讲授	讲义教案
	2.4 复杂可编程逻辑器件	课堂讲授	讲义教案
	2.5 现场可编程门阵列	课堂讲授	讲义教案
	2.6 可编程器件的实现细节	课堂讲授	讲义教案
CYLJYY-1 CYLJYY-2	第3章 硬件描述语言VHDL 3.1 概述	课堂讲授	讲义教案
	3.2 VHDL的基本元素	课堂讲授	讲义教案
	3.3 VHDL的基本结构	课堂讲授	讲义教案
	3.4 设计实例	课堂讲授、答疑	讲义教案
CYLJYY-1 CYLJYY-2	第4章 Quartus II 介绍 4.1 逻辑设计的输入方式	课堂讲授	讲义教案
	4.2 设计项目的编译与综合	课堂讲授	讲义教案、仿真作业
	4.3 设计项目的仿真		

	4.4 波形分析	课堂讲授	讲义教案、仿真作业
	4.5 器件编程及下载	课堂讲授、答疑、讨论 仿真、作业总结	讲义教案、仿真作业
CYLJYY-1 CYLJYY-2	第5章CPLD应用设计实例 5.1 组合逻辑设计实例	课堂讲授	讲义教案、在线视频、 仿真作业
	5.2 时序逻辑设计实例	课堂讲授、答疑、讨论 仿真、作业总结	讲义教案、在线视频、 仿真作业
	5.3 CPLD 在数字控制系统中的应用	课堂讲授、答疑、讨论 仿真、作业总结	讲义教案、仿真作业

5 课程实验教学

本课程提供 6 个上机平时作业和 1 个上机期末大作业，共计 12 学时。

5.1 上机实验名称和安排

序号	上机实验名称	实验类型	学时	教学安排	课程目标
1	实验 1 简单组合逻辑	验证	1	必做、系统仿真实验	CYLJYY-1
2	实验 2 数码管扫描电路	验证	1	必做、系统仿真实验	CYLJYY-1
3	实验 3 计数器电路设计	验证	1	必做、系统仿真实验	CYLJYY-1
4	实验 4 波形发生器	验证	1	必做、系统仿真实验	CYLJYY-1
5	实验 5 多功能计数器	验证	2	必做、系统仿真实验	CYLJYY-1
6	实验 6 地址译码器	验证	1	必做、系统仿真实验	CYLJYY-1
7	大作业电子钟设计	设计型	5	必做、系统仿真实验	CYLJYY-2

5.2 实验要求和教学组织

实验 1: 简单组合逻辑 (验证型实验)	时间安排: 1 学时
实验目的: 1、掌握 3-8 译码器结构和理解其工作原理; 2、掌握 Quartus II 图形化描述方法; 3、掌握组合逻辑电路设计方法, 理解其中的竞争与冒险现象。	

实践能力目标:	
理论知识的运用能力、软件工具使用能力、分析能力	
实验组织:	
提前阅读实验指导书进行预习, 单人独立完成实验过程, 观察仿真波形, 记录数据文件, 撰写实验报告。	

实验 2: 数码管扫描电路 (验证型实验)	时间安排: 1 学时
实验目的:	
1、掌握数码管工作原理; 2、掌握数码管译码器结构并理解其工作原理; 3、掌握 Quartus II 语言硬件描述方法。	
实践能力目标:	
理论知识的运用能力、软件工具使用能力、分析能力	
实验组织:	
提前阅读实验指导书进行预习, 单人独立完成实验过程, 观察仿真波形, 记录数据文件, 撰写实验报告。	

实验 3 计数器电路设计 (验证型实验)	时间安排: 1 学时
实验目的:	
1、掌握二进制计数器电路工作原理; 2、掌握 Quartus 图形输入模式下通用器件库的调用方法。	
实践能力目标:	
理论知识的运用能力、软件工具使用能力、分析能力	
实验组织:	
提前阅读实验指导书进行预习, 单人独立完成实验过程, 观察仿真波形, 记录数据文件, 撰写实验报告。	

实验 4 波形发生器 (验证型实验)	时间安排: 1 学时
--------------------	------------

<p>实验目的:</p> <p>1、掌握数字波形发生器工作原理; 2、掌握时序逻辑电路设计方法。</p>
<p>实践能力目标:</p> <p>理论知识的运用能力、软件工具使用能力、分析能力</p>
<p>实验组织:</p> <p>提前阅读实验指导书进行预习, 单人独立完成实验过程, 观察仿真波形, 记录数据文件, 撰写实验报告。</p>

实验 5 波形发生器 (验证型实验)	时间安排: 2 学时
<p>实验目的:</p> <p>1、掌握具有同步加载、清零等功能的计数器工作原理; 2、理解计数器同步、异步清零与加载概念。</p>	
<p>实践能力目标:</p> <p>理论知识的运用能力、软件工具使用能力、分析能力</p>	
<p>实验组织:</p> <p>提前阅读实验指导书进行预习, 单人独立完成实验过程, 观察仿真波形, 记录数据文件, 撰写实验报告。</p>	

实验 6 地址译码器 (验证型实验)	时间安排: 1 学时
<p>实验目的:</p> <p>1、掌握地址译码器工作原理; 2、理解计算机系统总线复用原理。</p>	
<p>实践能力目标:</p> <p>理论知识的运用能力、软件工具使用能力、分析能力</p>	
<p>实验组织:</p> <p>提前阅读实验指导书进行预习, 单人独立完成实验过程, 观察仿真波形, 记录数据文件, 撰写实验报告。</p>	

实验 7 大作业电子钟设计（设计型实验）	时间安排：5 学时
<p>实验目的：</p> <p>1、掌握 VHDL 硬件描述语言的语法 2、能够运用条件、选择、判断等逻辑语句实现程序设计 3、能够设计仿真条件验证程序文件的正确性</p>	
<p>实践能力目标：</p> <p>理论知识的运用能力、软件工具使用能力、分析能力</p>	
<p>实验组织：</p> <p>提前阅读实验指导书进行预习，单人独立完成实验过程，观察仿真波形，记录数据文件，撰写实验报告。</p>	

5.3 实验预习和实验报告要求

学生需在到实验室上机进行实验之前进行预习，预习内容应包括但不限于实验指导书内容要求，涵盖与本次实验有关的概念、原理、设计方法等知识点。

学生完成上机实验后需提交实验报告，实验报告需根据实验指导书与实验报告模板按照要求编写。

5.4 实验教学在能力培养方面的具体措施

本课程上机实验隶属系统与仿真实验室，主要实验方法运用 Quartus II 仿真软件进行实验内容的设计与验证。同时，该实验室也可以为学生提供编程学习研究的平台服务，为学生参加科技竞赛提供环境。

6 课程考核方案和依据

本课程注重平时考核和期末考试相结合，理论知识和实践能力相结合，全面考核学生掌握知识、运用知识和实践解决问题的能力。完成平时的作业、实验、参与课堂讨论是参加考试的必要条件。期末考核形式为大作业上机实验及报告，总成绩以百分制计算，平时成绩 50%+期末考试成绩 50%。平时成绩由 6 个验证性仿真实验与课堂表现、考勤等部分组成。

6.1 课程考核方案

课程目标		课程各类考核项							
		验证性实验						设计性实验 (大作业)	课堂表现
		实验 1	实验 2	实验 3	实验 4	实验 5	实验 6		
知识目标	CYLJYY-1	100	100	100	100	100	100		100
能力目标	CYLJYY-2							100	
分数合计		100	100	100	100	100	100	100	100
总评占比		7.5%	7.5%	7.5%	7.5%	10%	7.5%	50%	2.5%
		47.5%							

6.2 课程各考核项评价依据和标准

考核项目 1：课堂表现

考核方式：课堂互动、考勤

考核权重：2.5%

预期学习结果	考核依据	优秀	良好	达成	未达成
		>90 分	80-90 分	60-80 分	<60 分
CYLJYY-1：能够在平时理论课堂、上机实验课堂回答老师所提出的关于 CPLD 课程相关问题，巩固所学知识。	课堂互动次数；出勤记录。	课堂互动次数成绩、出勤记录成绩项之和平均成绩>90 分。	课堂互动次数成绩、出勤记录成绩项之和平均成绩在 80-90 分之间。	课堂互动次数成绩、出勤记录成绩项之和平均成绩在 60-80 分之间。	课堂互动次数成绩、出勤记录成绩项之和平均成绩<60 分。

考核项目 2：验证性上机作业

考核方式：仿真作业报告，仿真答辩

考核权重：47.5%

预期学习结果	考核依据	优秀	良好	达成	未达成
		>90 分	80-90 分	60-80 分	<60 分
CYLJYY-1：能够正确理解仿真实验中的要求，复现老师在课上所讲授的仿真设计方法、验证仿真的步骤、原理、功能和结果，并能解释相关仿真波	仿真作业报告内容，格式要求，仿真答辩。	按时独立完成仿真作业，格式规范；讲解清楚，仿真作业批阅平均成	能够按时完成仿真作业，格式规范，仿真讲解比较清楚，完成情况较好。	基本能够完成仿真作业，格式基本规范，仿真讲解基本清楚，仿真作业	不能够按时完成仿真作业，格式不符合规范，仿真讲解不清楚，

形、分析仿真中出现的问 题，完成仿真实验报告。		绩>90分。	仿真作业 批阅平均 成绩在 80-90分 之间。	批阅平均 成绩在 60-80分 之间。	仿真作业 批阅平均 成绩 <60 分。
----------------------------	--	--------	--------------------------------------	------------------------------	------------------------------

考核项目 3：设计性上机期末考核大作业

考核方式：仿真作业报告，仿真答辩

考核权重：50%

预期学习结果	考核依据	优秀 >90分	良好 80-90分	达成 60-80分	未达成 <60分
CYLJYY-2：能够独立自主设计完成仿真考核要求里面的内容，实现VHDL代码的编写和原理图器件的生成，最后设计验证波形进行仿真验证，完成实验报告。	仿真作业报告内容，格式要求，仿真答辩。	按时独立完成仿真作业，格式规范；讲解清楚，仿真作业批阅平均成绩>90分。	能够按时完成仿真作业，格式规范，仿真讲解比较清楚，完成情况较好。仿真作业批阅平均成绩在80-90分之间。	基本能够完成仿真作业，格式基本规范，仿真讲解基本清楚，仿真作业批阅平均成绩在60-80分之间。	不能够按时完成仿真作业，格式不符合规范，仿真讲解不清楚，仿真作业批阅平均成绩 <60分。

7 本次修订说明

本大纲在原版本“DG7201001-201912”课程大纲基础上修订。对标最新的工程教育专业认证标准做了以下修改：

- (1) 对大纲条目布局做了修改，教材和学习资源部份并入基本信息；
- (2) 对课程的考核方式、成绩评定的解释方式做了修订（修改条目6）；
- (3) 增加条目7本次修订说明，记录修订改进点。

8 其他需要说明的问题

无